

Рисунок 2 – функциональная схема FIFO

|  |  |
| --- | --- |
| Осведомительные сигналы:  Z = 1 – стек пуст;  FL = 1 – стек полон. | Управляющие сигналы:  y0 – запись адреса в SP;  ~EO – выдача данных с RgDO;  WR+ – инкремент SPwr;  RD+ – инкремент SPrd;  CRI – запись данных в RgDI;  ~RD – чтение из памяти;  ~WR – запись в память; |

ГСА операций Push и Pop для LIFO представлена на рисунке 3, а для FIFO – на рисунке 4.

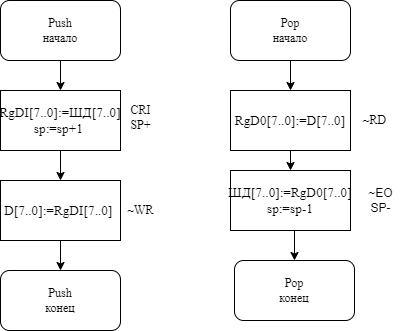


Рисунок 3 – ГСА операций PUSH и POP для LIFO

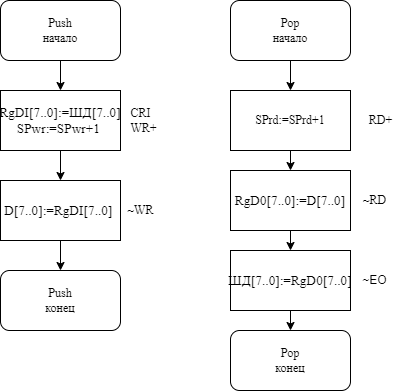


Рисунок 4 - ГСА операций PUSH и POP для FIFO

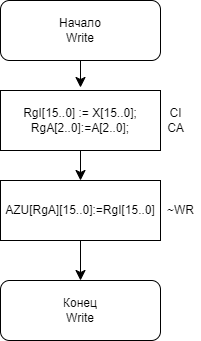


Рисунок 3 – граф-схема алгоритма записи в АЗУ

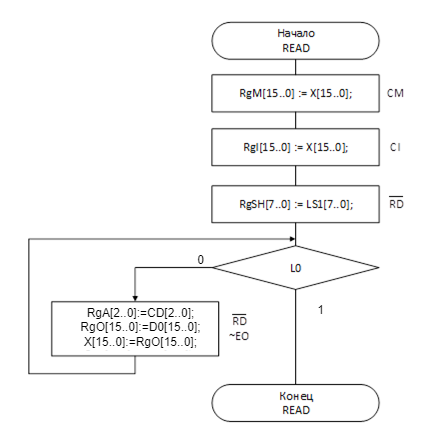


Рисунок 3 – граф-схема алгоритма чтения из АЗУ

Функциональная схема логической схемы LS1

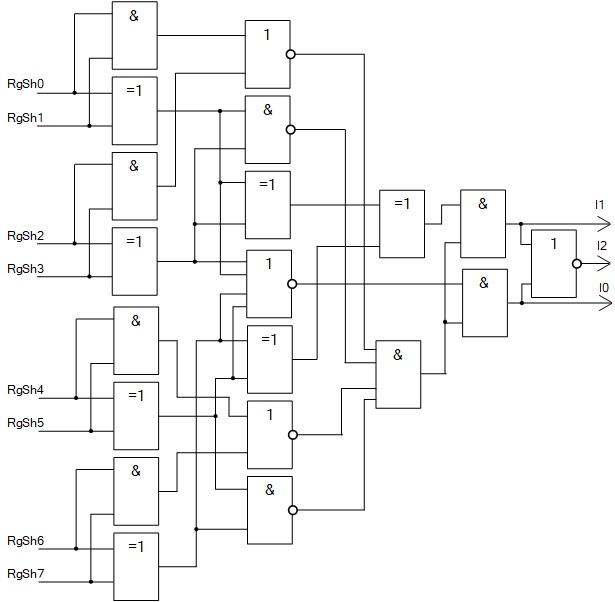
Di - значение из АЗУ

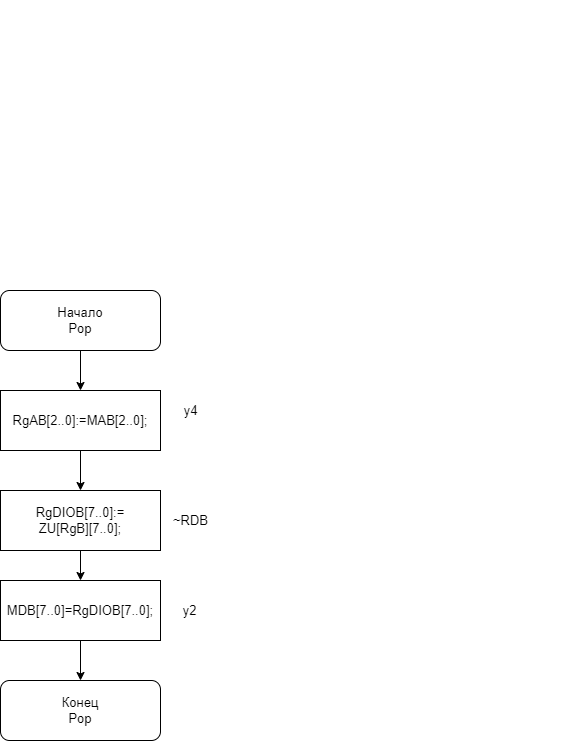
Ii - эталонное значение

Mi - значение маски

Dj - бит достоверности из АЗУ

Функциональная схема логической схемы LS2





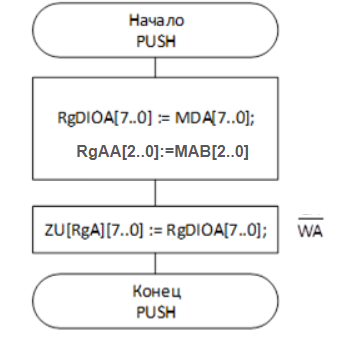


Рисунок 2 – граф-схема алгоритма записи через порт А и чтения через порт В

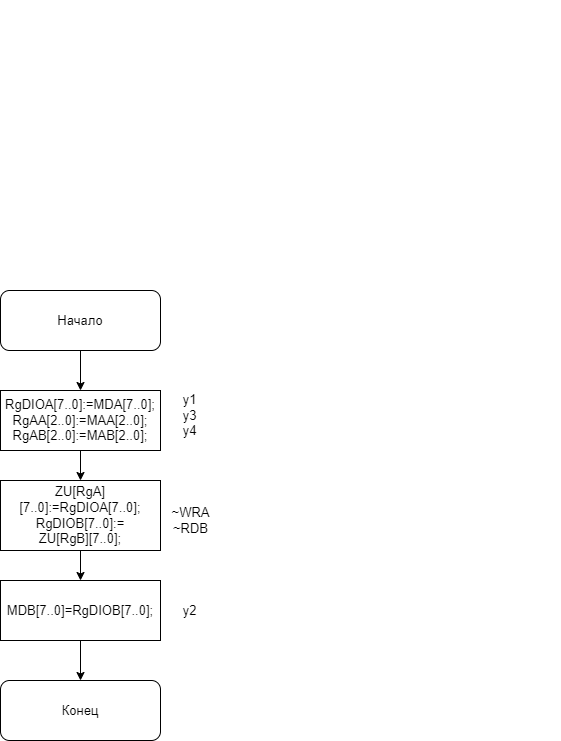


Рисунок 3 – граф-схема алгоритма параллельной записи через порт А и чтения через В

**Функциональная схема:**

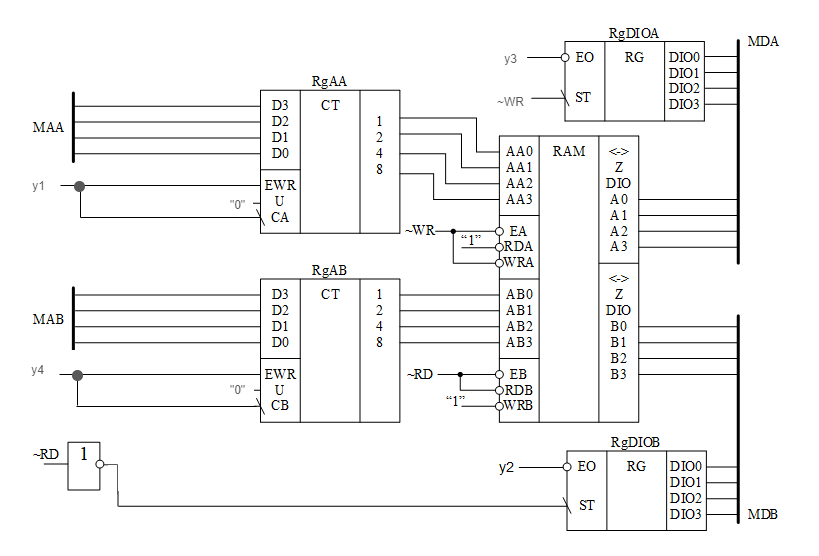


Рисунок 7 – Функциональная схема стека FIFO режим чтения по В, записи по А

Управляющие сигналы:

y1 – запись адреса в RgAA;

y4 – запись адреса в RgAB;

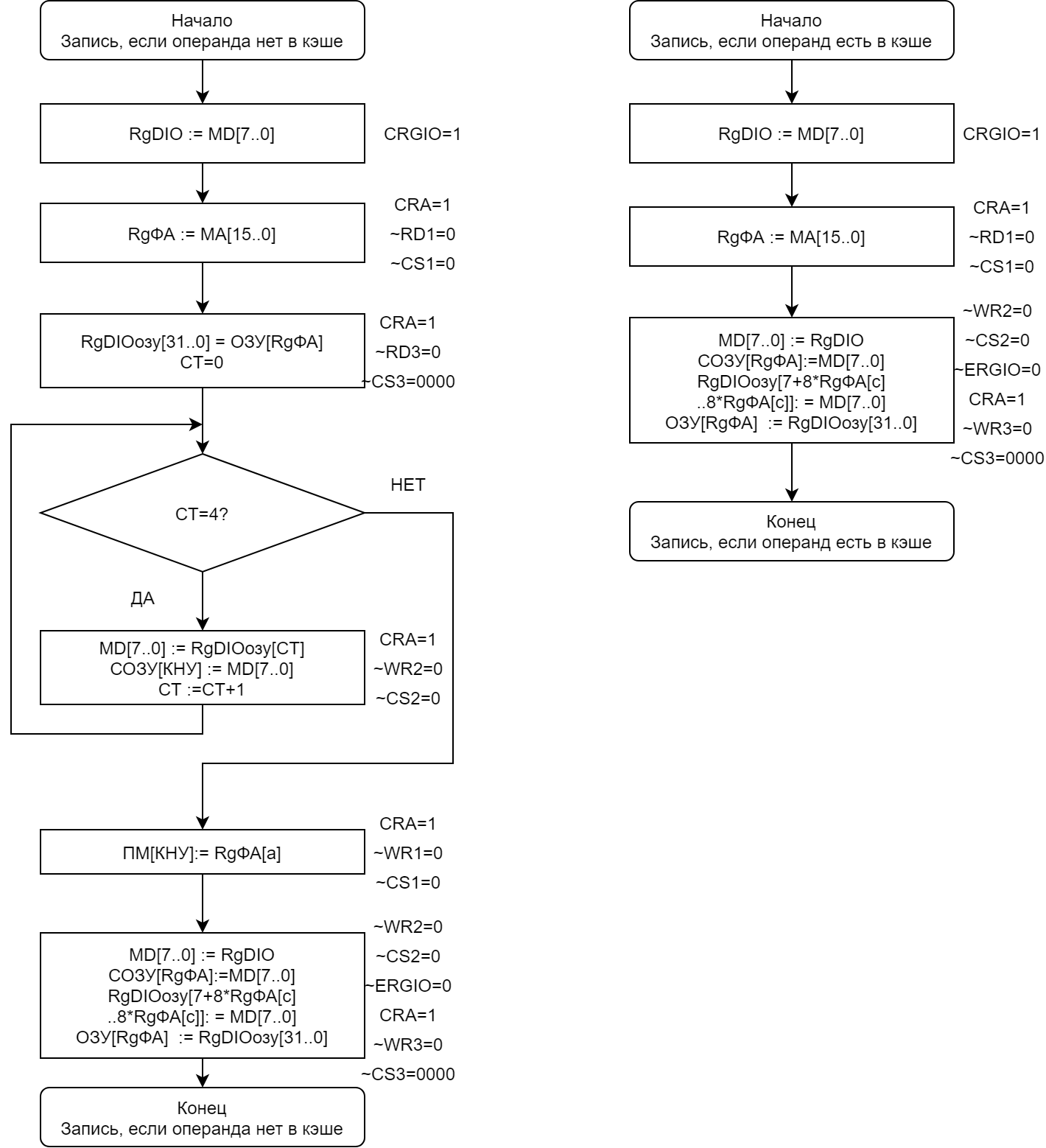
y3 – запись в RgDIOA;

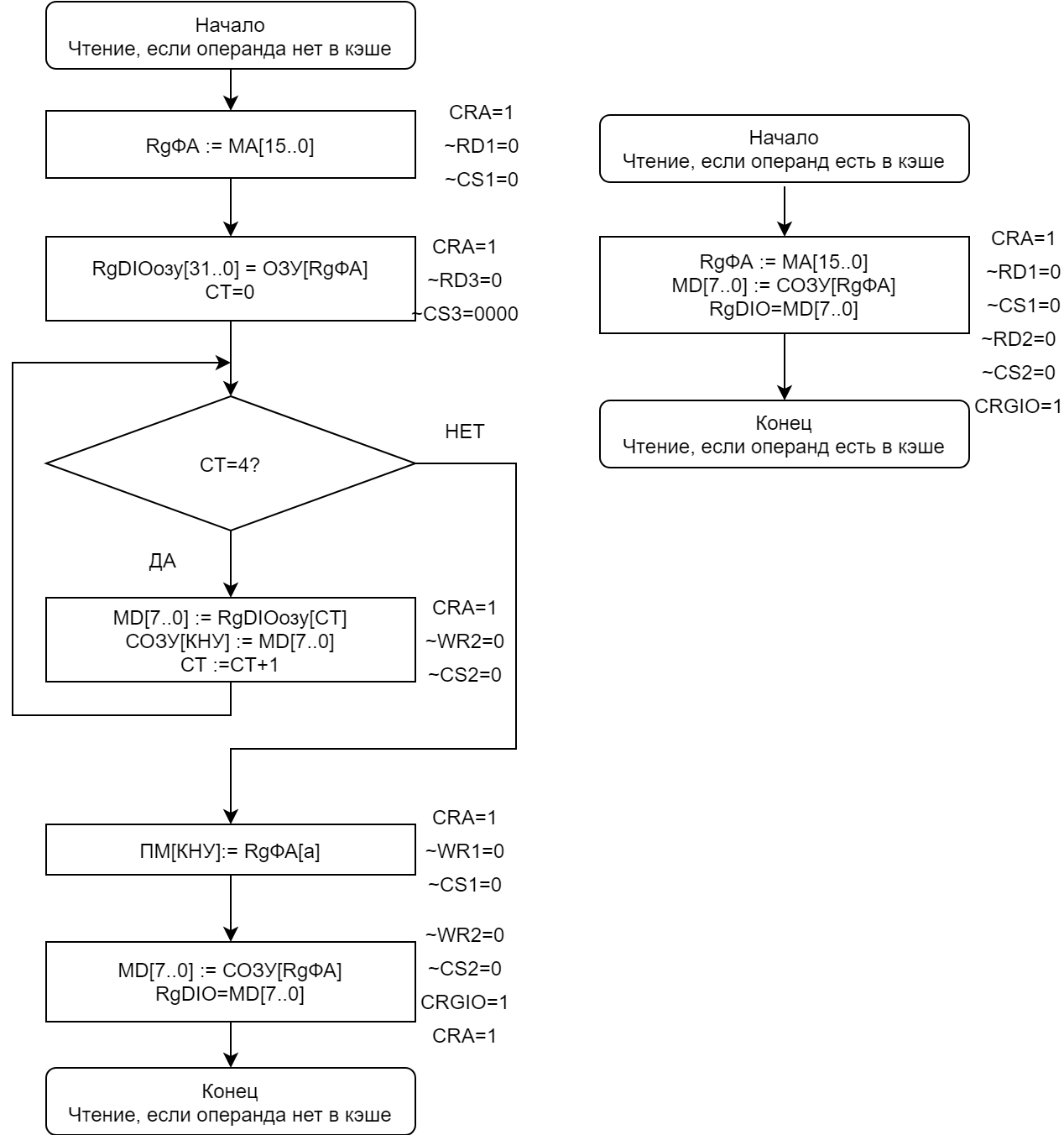
RD – сигнал чтения из памяти;

WR – сигнал записи в память;

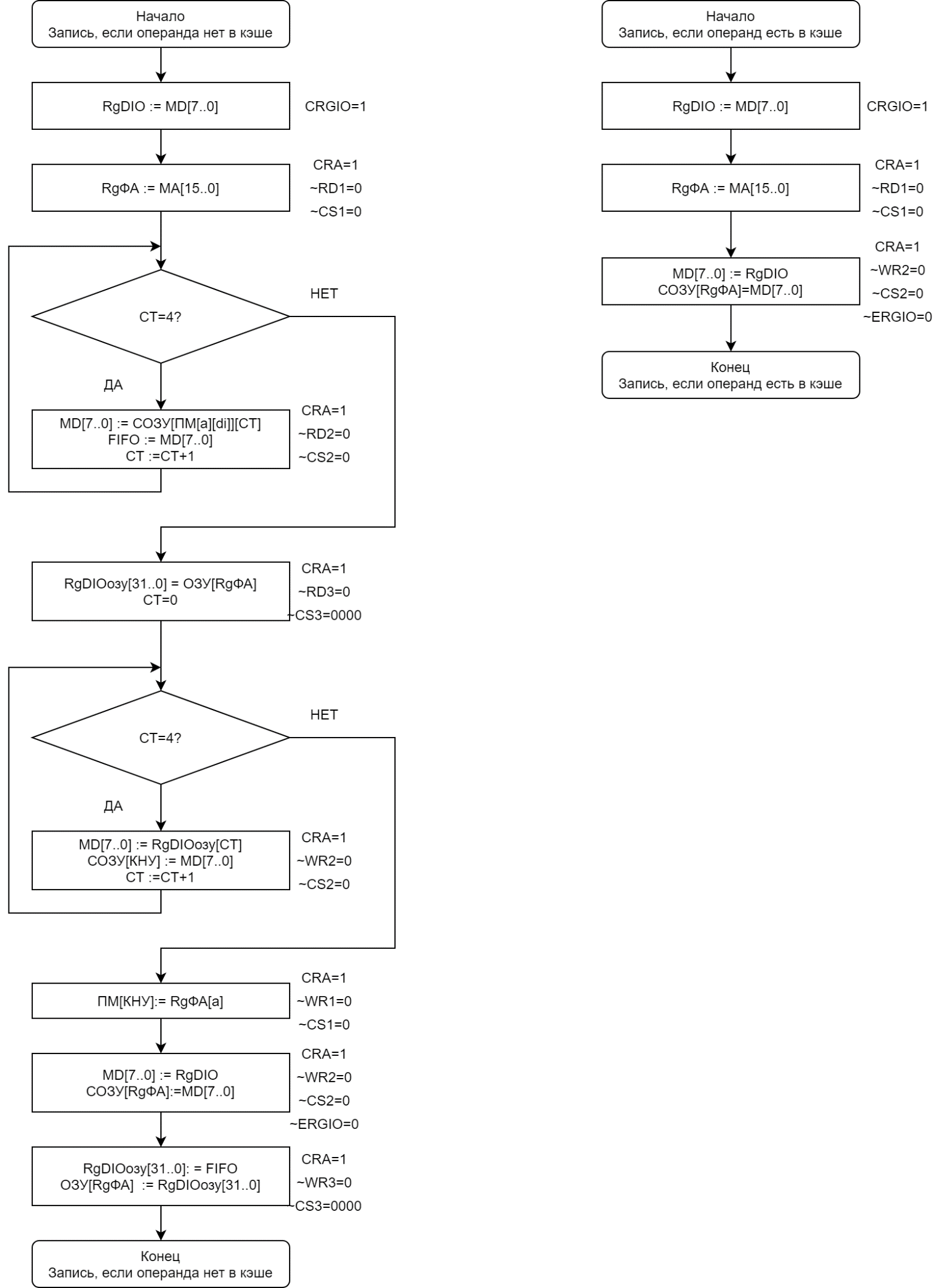
y2 – сигнал разрешения выходов RgDIOB.

**ГСА записи: ча**

****

**ГСА чтения: посл**

**ГСА записи:**



**ГСА чтения:**

